



500.43579X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): M. TERA0, et al.

Serial No.: 10/790,881

Filed: March 3, 2004

Title: MEMORY DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 17, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2003-081724
Filed: March 25, 2003

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone

Registration No.: 28,141

GEM/rr
Attachment

日本国特許庁
JAPAN PATENT OFFICE

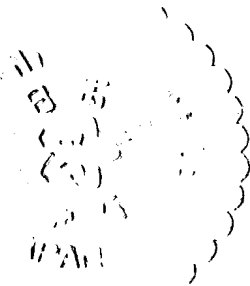
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月25日

出願番号
Application Number: 特願2003-081724
[ST. 10/C]: [JP2003-081724]

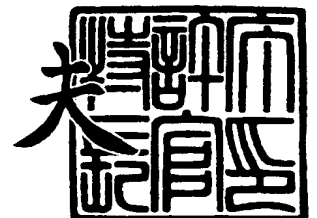
出願人
Applicant(s): 株式会社日立製作所



2004年 3月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3015571

【書類名】 特許願

【整理番号】 H03002801A

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 寺尾 元康

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 高浦 則克

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 黒土 健三

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 松岡 秀行

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

【氏名】 山内 豪

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置

【特許請求の範囲】

【請求項 1】

Ge または Sb と、40 原子%以上の Te と、20 原子%以上 50 原子%以下の 2b 族、1b 族、3a から 7a 族、および 8 族元素から選ばれた少なくとも一元素を含み、結晶相と非晶質相との間で可逆的な相変化を起こすことにより情報を記録する記録膜と、

前記記録膜に電圧を印加するための電極とを有するメモリ素子を有することを特徴とする記憶装置。

【請求項 2】

前記群より選ばれた元素は、2b 族の Zn または Cd であることを特徴とする請求項 1 記載の記憶装置。

【請求項 3】

前記 Ge または Sb の含有量は、40 原子%以下であることを特徴とする請求項 1 記載の記憶装置。

【請求項 4】

前記 Ge または Sb の含有量は、25 原子%以上 35 原子%以下であることを特徴とする請求項 1 記載の記憶装置。

【請求項 5】

前記記憶装置は、140℃以上の雰囲気中で用いられるものであることを特徴とする請求項 1 記載の記憶装置。

【請求項 6】

前記記録膜に隣接して、Zn または Cd の含有量が相対的に 10 原子%以上多い領域を有することを特徴とする請求項 1 記載の記憶装置。

【請求項 7】

前記メモリ素子は記録または再生光を 30%以上透過することを特徴とする請求項 1 記載の記憶装置。

【請求項 8】

複数のメモリセルと

前記複数のメモリセルを選択する複数のワード線と、

前記複数のワード線と直交するように配置され、前記複数のメモリセルから信号が読み出される複数のデータ線とを有し、

前記複数のメモリセルの各々は、GeまたはSbと、40原子%以上のTeと、20原子%以上50原子%以下の2b族、1b族、3aから7a族、および8族元素から選ばれた少なくとも一元素を含み、結晶相と非晶質相との間で可逆的な相変化を起こすことにより情報を記録する記録膜と、前記記録膜に電圧を印加するための電極とを有することを特徴とする記憶装置。

【請求項9】

前記記録膜と前記電極との間には、絶縁膜が設けられていることを特徴とする請求項8記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体不揮発メモリに関し、特に相変化材料を用いた記録装置に関する。

【0002】

【従来の技術】

従来から、相変化膜を用いた不揮発性メモリが知られており、例えば米国特許第5883827号に詳述されている。これは、記憶素子自体に流れる電流によるジュール熱に応じて、記憶素子の結晶状態が変化することにより記憶情報が書き込まれる相変化メモリである。非晶質（アモルファス）化する際にジュール熱で600℃を越える温度にして一旦記録層を融解させるために書き込み電流が大きい、結晶状態に応じて抵抗値が2桁から3桁も変化する。このメモリは、抵抗値を信号として用いるため、読み出し信号が大きく、センス動作が容易である。

【0003】

図2に、上記米国特許第5883827号のFig.12の相変化メモリの構成の略図を示す。当該相変化メモリは、メモリアレイとロウ（行）デコーダXDEC、カラム（列

) デコーダYDEC、読み出し回路RC、書き込み回路WCで構成される。メモリアレイは、ワード線WL_p (p=1、…、n) とデータ線DL_r (r=1、…、m) の各交点にメモリセルMC_{pr}が配置されてなる。各メモリセルは、直列接続された記憶素子RMと選択トランジスタQMが、データ線DLと接地電位との間に挿入された構成である。ワード線WLが選択トランジスタのゲートに、カラム選択線YS_r (r=1、…、m) が対応するカラム選択スイッチQArにそれぞれ接続される。

【0004】

このような構成により、ロウデコーダXDECで選択されたワード線上の選択トランジスタが導通し、さらにカラムデコーダYDECで選択されたカラム選択線に対応するカラム選択スイッチが導通することにより、選択メモリセル内に電流経路が形成されて、共通データ線I/Oに読み出し信号が発生される。選択メモリセル内の抵抗値は、記憶情報によって差があるので、共通データ線I/Oに出力される電圧は記憶情報によって差が出る。この差を読み出し回路RCで判別することにより、選択メモリセルの記憶情報が読み出される。

【0005】

一方、公表特許公報2001-502848では電氣的メモリ素子に用いるメモリ材料として、遷移金属元素を含むものが述べられている。遷移金属元素は従来の定義では2b族を含まないことが多いが、この明細書では2b族までを遷移金属元素としている。実施例には、Ge-Sb-Te系材料に10原子%以下のTiなどを含むものが述べられている。

【特許文献1】 米国特許第5883827号 (USP5,883,827)

【特許文献2】 公表特許公報2001-502848

【発明が解決しようとする課題】

しかしながら、次世代半導体不揮発メモリとして期待されている相変化メモリは、光ディスクの記録膜材料を相変化層として用いたものであるが、光ディスクより高温での使用が要求される半導体メモリではGe₂Sb₂Te₅で代表される光ディスクの記録膜材料は耐熱性が十分ではない。

【0006】

従って本発明の目的は、小面積の素子とした時抵抗値が最適であって、高温動

作不揮発メモリを提供することである。

【0007】

【課題を解決するための手段】

上記目的は、相変化膜として、結晶相と非晶質相との間で可逆的な相変化を起こすことにより情報を記録するものであって、(1) Ge または Sb と、(2) 40 原子%以上の Te と、(3) 20 原子%以上 50 原子%以下の 2b 族、1b 族、3a から 7a 族、および 8 族元素から選ばれた少なくとも一元素を含むものを用いることによって、達成される。

【0008】

ここで、40 原子%以上の Te を含み、かつ、20 原子%以上 50 原子%以下の 2b 族、1b 族、3a から 7a 族、および 8 族元素から選ばれた少なくとも一元素を含むようにする理由は、高い結晶化温度を保つようにするためである。2b 族、1b 族、3a から 7a 族、および 8 族元素の代表として Zn を、Ge または Sb の代表として Ge を例にとって説明する。多くの Zn を含む組成の場合には、結合力の強い Zn-Te の非晶質ネットワーク中に Ge-Te が取り込まれた形になり、安定な結晶系も互いに違うため、全体として高い結晶化温度を保つと考えられる。ここで、Ge の添加で、イオン性が強い ZnTe より共有結合性が増して非晶質ネットワーク（網目構造）が変形しにくくなり、一方、一旦結晶化が始まるとドミノ倒し式に高速結晶化される、と考えられる。

【0009】

図 13 に、Ge₂₅Te₇₅ への Zn の添加量と融点の関係を示した。Zn が 20 原子%以上 50 原子%以下では固相部分の融点が 900℃ 以上となった。50 原子%以上でも固相部分の融点は高いが、50 原子%より多いと耐酸化性が急激に低下して素子製作工程で記録層が損傷または剥離してしまい、最終工程まで通すことが難しくなった。図 14 には Ge₂₅Te₇₅ への Zn の添加量と実施例で延べるメモリー素子の動作上限温度との関係を示した。Zn が 20 原子%以上 50 原子%以下の範囲で 140℃ 以上での素子動作が可能である。自動車のエンジン制御用の場合、通常のメモリー素子の動作温度上限である 120℃ より高い 140℃ での動作が自動車メーカーの要求仕様となっており、本願の構成では

この要求仕様を満たすことができる。一方、公表特許公報 2001-50 に記載の 10 原子%以下の Ti を含む材料組成では、この要求仕様を達成することができない。

【0010】

また、Zn と同じ 2b 族の Cd は、同等の耐熱性を示す。1b 族、3a から 7a 族、および 8 族の各元素は、融点および結晶化温度は 2b 族元素を含む場合より低い、130℃には耐えるので、断熱性のあるケース内に収納すれば 10 時間以内の連続運転に耐える。

【0011】

従って本発明の材料を用いた記憶装置では結晶化温度も高く、高温動作、高温記憶保持が期待できる。

【0012】

【発明の実施の形態】

<実施例 1>

以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、典型的には公知の CMOS（相補型 MOS トランジスタ）等の半導体集積回路技術によって、単結晶シリコンのような 1 個の半導体基板上に形成される。さらに、相変化を示すカルコゲナイド材料等が集積回路の作成技術にハイブリッドして作成される。

【0013】

（メモリアレイ構成）

図 1 は、本発明によるメモリアレイの構成例を示している。同図では、メモリアレイの動作に必要なロウデコーダ XDEC、カラムデコーダ YDEC、読み出し回路 RC、書き込み回路 WC も同時に示されている。この構成の特徴は、データ線に平行なソース線を設け、双方を等電位に駆動するプリチャージ回路と、選択ソース線を選択的に駆動する回路を配置することにより、選択されたワード線と選択されたソース線の交点にある選択セルにのみ電流経路を発生する点にある。

【0014】

メモリアレイは、前述の図 2 と同様に $n \times m$ ビットのメモリセルを有する構成が

示されている。メモリセルを構成する素子は、選択トランジスタQMとカルコゲナイド材料による可変抵抗による記憶素子RMである。

【0015】

ロウデコーダXDECは、ロウアドレスに応じたワード線WLを選択する。また、カラムデコーダYDECは、カラムアドレスに応じたカラム選択線YSを駆動する。選択されたカラム選択線YSに応じたカラム選択スイッチQAが導通することにより、選択されたメモリセルは、共通データ線I/Oを介して読み出し回路RCおよび書き込み回路WCに接続される。ここでQA1～QAmは複数のデータ線(DL1～DLm)の一つを選択して共通データ線に接続するための第1のスイッチ回路をなすことができる。また、QB1～QBmは複数のソース線(DS1～DLm)の一つを選択してソース電圧供給線に接続するための第2のスイッチ回路をなすことができる。

【0016】

このメモリアレイ構成は、以下の三つの特徴を有する。第一は、データ線DLに平行な複数(ここではm本)のソース線SLr(r=1、…、m)が配置され、列方向のトランジスタQMのソースがソース線SLに共通に接続されている点である。第二は、それぞれのソース線SLrとソース電圧端子VSLとの間に複数(ここではm個)のNMOSトランジスタQBr(r=1、…、m)が挿入され、これらのトランジスタが列デコーダで選択される点である。図1では、これらのゲートに対応するカラム選択線Ysrが直接接続されている例を示している。第三は、対応するデータ線DLとソース線SLをプリチャージ電圧VDLに駆動する複数(ここではm個)のNMOSトランジスタQCrおよびQDr(r=1、…、m)が配置され、これらのトランジスタのゲートにプリチャージイネーブル信号PCが接続されている点である。このような構成により、プリチャージ電圧VPCに駆動された複数のデータ線DLおよびソース線SLの中から、選択したいデータ線に対応するソース線を駆動することができる。つまり、選択したいデータ線及びソース線に接続されたメモリセルにのみ、電圧差を印加することができる。したがって、選択ワード線上の所望のメモリセルにのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することが可能となる。

【0017】

なお、プリチャージ回路はQC1、QD1～QDm、QDm全体と解することができ、QC1とQD1はDL1とSL1の対毎に設けられた要素プリチャージ回路と見ることができる。

【0018】

(記憶素子の特性)

記憶素子は、少なくとも亜鉛(Zn)とゲルマニウム(Ge)とテルル(Te)を含むZn-Ge-Te系、などのカルコゲナイド材料を記録層の材料として用いている。この材料の特徴は、従来メモリ素子用に実験されたりしているGe-Sb-Te系などの材料に比べて融点、結晶化温度ともに大幅に高いので高い温度で使用できること、電気抵抗が高いこと、光学的には透過率が高く、相変化による複素屈折率の変化は大きくないこと、などである。カルコゲナイド材料を用いた相変化メモリの特性は、例えば、IEEE International Electron Devices meeting, TECHNICAL DIGEST, pp.803-806, 2001ここで、カルコゲナイドとは、硫黄、セレン、テルルのうちの少なくとも1元素を含む材料をいう。この記憶素子に記憶情報0'を書き込む場合、図3に示すように、素子をカルコゲナイド材料の融点 T_a 以上に熱してから急冷するようなりセットパルスを印加する。リセットパルスを短くして、与える全エネルギーを小さくし、冷却時間 t_1 を短く、例えば約1nsに設定することにより、カルコゲナイド材料は高抵抗のアモルファス状態となる。逆に、記憶情報1'を書き込む場合、記憶素子を融点よりも低く、ガラス転移点と同じかそれよりも高い結晶化温度 T_x より高い温度領域に保つようなセットパルスを印加することにより、カルコゲナイド材料は低抵抗の多結晶状態となる。結晶化に要する時間 t_2 はカルコゲナイド材料の組成によって異なるが、例えば、約50nsである。同図に示した素子の温度は、記憶素子自身が発するジュール熱、および周囲への熱拡散に依存する。したがって、図4のI-V特性に示すように、書き込み情報に応じた値の電流パルスを記憶素子に印加することにより、記憶素子の結晶状態が制御される。同図は、カルコゲナイド材料を用いた記憶素子の動作原理を模式的に示しており、 I_{W1} から I_{W0} の範囲内のセット電流を印加する場合に記憶情報1'が書き込まれ、 I_{W0} 以上のリセット電流を印加する場合に記憶情報0'が書き込まれることを示している。ただし、どちらの状態を0'、どちら

の状態を1'としても良い。以下では、同図に従い、四通りの書き込み動作を詳しく説明する。

【0019】

第一に、初期状態1'の記憶素子に1'書き込みを行う場合、セット電流が印加されると、セット（結晶）状態の低抵抗曲線を辿って初期状態とセット領域との間を往復するので、状態が保持される。第二に、初期状態1'の記憶素子に0'書き込みを行う場合、リセット電流が印加されると、セット状態の低抵抗曲線を辿ってリセット電流に達する。次に、ジュール熱により部分的に融解が始まるので、導電率が徐々に下がる。さらに、融解が進むと高抵抗状態になる。液相の記憶素子を急冷すると、アモルファス状態に相変化するので、液相時の抵抗よりも若干低いリセット（非晶質）状態の高抵抗曲線を辿って初期状態に戻る。図4で点線で示した部分は、リセットパルスは既に切れているが、そのまま電圧をかけ続けたら抵抗値の変化で電流はこのように変化するはず、という仮想的な線である。第三に、初期状態0'の記憶素子に1'書き込みを行う場合、セット電流を印加すると、記憶素子の端子電圧がしきい電圧 V_{th} を超えた時に、低抵抗状態にスイッチする。スイッチング後は、ジュール熱によって結晶化が進行する。電流値がセット電流に達すると、結晶化領域が広がって相変化することにより、さらに抵抗値が下がるので、低抵抗曲線を辿って初期状態に戻る。途中から電圧－電流曲線の傾斜がゆるやかになるのは、低抵抗状態へスイッチングしていた領域がスイッチOFFとなり、結晶化による抵抗低下のみが残留するためである。第四に、初期状態0'の記憶素子に0'書き込みを行う場合、前述したスイッチング後にほとんど結晶化する時間はなく、スイッチングしたことによる低抵抗曲線を辿ってリセット領域に達し、融解、急冷、固化して初期状態に戻る。

【0020】

このような記憶素子の動作原理から、読み出し時には記憶情報を破壊しないようにするために、最高でもしきい電圧 V_{th} より低い電圧に抑制しながら動作しなければならない。実際には、しきい電圧は電圧印加時間にも依存し、時間が長いと低下する傾向があるため、読出し時間内にしきい電圧を越えて低抵抗状態へのスイッチングが起こらない電圧にする必要がある。そこで、これらの原理に基づ

いた、図1に示したメモリアレイ構成を実現する動作を以下に説明する。

【0021】

(読み出し動作)

次に、図5に従い、図1に示したアレイ構成を用いたメモリセルの読み出し動作について説明する。ここで、図5は、メモリセルMC11を選択する場合の動作波形を示している。

【0022】

まず、待機状態において、プリチャージイネーブル信号PCが電源電圧VDD（例えば1.5V）に保持されているので、NMOSトランジスタQCおよびQDによりデータ線DLおよびソース線SLがプリチャージ電圧VDLに維持される。ここでVDLは、VDDよりもトランジスタのしきい電圧だけ低下した値で、例えば1.0Vである。また、共通データ線I/Oも、読み出し回路RCによりプリチャージ電圧VDLにプリチャージされている。

【0023】

読み出し動作が始まると、電源電圧VDDとなっているプリチャージイネーブル信号PCが接地電位VSSに駆動され、接地電位VSSとなっているカラム選択線YS1が昇圧電位VDH（例えば1.5以上）に駆動されることにより、トランジスタQA1、QB1が導通する。この時、データ線DL1は、共通データ線I/Oと等電位にあるのでプリチャージ電圧VDLに保持されるが、ソース線SL1はトランジスタQB1によりソース電圧VSL（例えば0.5V）に駆動される。このソース電圧VSLとプリチャージ電圧VDLは、プリチャージ電圧VDLがソース電圧VSLよりも高く、その差は、抵抗RMの端子電圧が図4に示したような読み出し電圧領域の範囲内に収まるような関係に設定されている。次に、接地電位VSSとなっているワード線WL1が昇圧電位VDHに駆動されると、ワード線WL1上の全てのメモリセルにおけるトランジスタQMが導通する。この時、記憶素子RMに電位差が生じたメモリセルMC11内に電流経路が発生し、データ線DL1および共通データ線I/Oが、記憶素子RMの抵抗値に応じた速さでソース電圧VSLに向かって放電される。同図では、記憶情報1'を保持している場合の方が、記憶情報0'の場合よりも抵抗値が小さいものとしているので、放電が速い。したがって、記憶情報に応じた信号電圧が発生される。非選択メモリセル

MC12~MC1mでは記憶素子RMの電位差が0なので、非選択データ線DL12~DL1mはプリチャージ電圧VDLに保持される。すなわち、ワード線WL1とソース線SL1により選択されたメモリセルMC11のみが、データ線DL1を通じて読み出し電流を流す。ここで、読み出し回路RCで読み出し情報が弁別された後なら、ワード線WL1を立ち下げることができる。尚、この弁別が遅い場合にワード線WL1を立ち上げ続けると、記憶情報0'を読み出す場合においても、選択されたデータ線DL1がソース電圧VSL付近まで放電されてしまい、0'読み出しの信号電圧と1'読み出しの信号電圧との差が減少して、記憶情報を正しく読み出せなくなる場合がある。このような場合には、同図のように、0'読み出しの場合のデータ線電圧が参照電圧VDRを越える前のタイミングで、ワード線WL1を立ち下げることにより、誤動作を防止できる。ワード線を立ち下げて電流経路を遮断することにより、共通データ線I/O上の信号電圧が保持されるので、読み出し回路RCは参照電圧VDRを基準として発生された正または負の信号を弁別することが可能である。以上の読み出し動作が終了すると、共通データ線I/Oはプリチャージ電位VDLに駆動されて、待機状態に戻る。

【0024】

なお、待機状態において、メモリアレイのデータ線やソース線をフローティングとすると、読み出し動作開始時にデータ線と共通データ線を接続した際に、電圧が不定であるデータ線の容量が共通データ線から充電されてしまう。このため、同図ではワード線WL1に応じてカラム選択線YS1も立ち下げ、さらに接地電位VSSとなっているプリチャージイネーブル信号PCを電源電圧VDDに駆動することにより、データ線およびソース線をプリチャージ電位VDLに駆動して待機状態としている。また、昇圧電位VDHは、従来のDRAMにおいて広く用いられているような電圧であり、電源電圧VDDとNMOSトランジスタのしきい電圧VTNを用いて、 $VDH > VDD + VTN$ の関係を満たすように設定されている。例えば相変化メモリの書き込み動作では、後述するように、読み出し動作よりも大きな電流を流す必要がある。このため、本発明では、ワード線WLとカラム選択線YSを昇圧電位VDHに駆動してNMOSトランジスタの抵抗を下げることにより、正確な書き込み動作を行うことができる。また、プリチャージ電圧VDLをソース電圧VSLより高く設定することに

より、選択ソース線を選択メモリセル中のトランジスタQMのソースとし、記憶素子RMの抵抗によらず、トランジスタのゲートーソース間電圧を確保できる。なお、逆の電位関係であっても、その差が、図3に示したような読み出し電圧領域の範囲内に収まるように設定されているならば、同様の選択動作が可能である。

【0025】

尚、図5は、ソース線SL1を駆動してからワード線WL1を駆動する例であるが、設計の都合によっては、ワード線WL1を駆動してからソース線SL1を駆動してもよい。この場合には、最初はワード線WL1が駆動されて選択トランジスタQMが導通するため、記憶素子RMの端子電圧は0Vに確保される。その後、ソース線SL1を駆動すると、記憶素子RMの端子電圧は0Vから大きくなるが、その値はソース線SL1の駆動速度で制御可能で、前述した読み出し領域の範囲に収めることができる。同様に、ワード線WL1とソース線SL1を、ほぼ同時に駆動することもできる。また、ワード線WL1とソース線SL1のうちで、駆動タイミングの遅い方のパルスに先行してカラム選択線YS1を駆動すれば、I/Oへの出力待ち時間を減らせるので、アクセス時間が速くなる。もちろんこの場合には、図1に示したトランジスタQA1とQB1を独立に駆動できるように結線を変えればよい。

【0026】

以上、メモリセルMC11を選択する例を示したが、同じデータ線上のメモリセルは、それらのワード線電圧が接地電位VSSに固定されているので選択されることはない。また、他のデータ線とソース線は同じ電位VDLなので、残りのメモリセルも非選択セルの状態に維持される。

【0027】

以上の説明では、待機状態のワード線を接地電位VSSとし、選択状態のソース線を0.5Vといった正のソース電圧VSLとしている。この電圧関係は、非選択メモリセルを通じて流れる電流が動作に影響を及ぼさないように設定する。すなわち、ソース線が選択され、ワード線が非選択のメモリセル、例えばメモリセルMC11を選択する際の非選択メモリセルMC21～MCn1のトランジスタQMが十分オフになるように設定すれば良い。ここで示したように、待機状態のワード線電圧を接地電位VSSとし、ソース電圧VSLを正の電圧とすることにより、トランジスタQMのしき

い値電圧を低くできる。場合によっては、選択されたソース線を接地電位0Vとして、待機状態のワード線を負の電圧にすることも可能である。その場合にも、トランジスタQMのしきい値電圧を低くできる。待機時のワード線用に負電圧を発生させる必要があるが、選択時のソース線の電圧が、外部から印加される接地電位VSSであるため安定させ易い。トランジスタQMのしきい値電圧を十分高くすれば、選択時のソース線と待機状態のワード線を接地電位0Vとしても良い。その場合、外部から印加される接地電位VSSである上に、待機状態のワード線の容量が安定化容量として働くために、選択時のソース線の電圧をさらに安定なものにできる。

【0028】

さらに、ここでは、共通データ線I/Oに読み出された信号電圧を、読み出し回路RCにより弁別する動作を説明したが、共通データ線I/Oに流れる電流を弁別する動作も可能である。その場合、読み出し回路RCに、例えば前述の米国特許第5883827号に述べられているような、入力インピーダンスが小さいセンス回路を用いる。そのような、電流をセンスする方式にすることにより、共通データ線の配線容量の影響が小さくなり、読み出し時間を短縮できる。

【0029】

(書き込み動作)

さらに、図6に従い、図1に示したアレイ構成を用いたメモリセルの書き込み動作について説明する。但し、図6は、メモリセルMC11を選択する場合の動作波形である。

【0030】

まず、メモリセルMC11の選択動作は、読み出し動作と同じように行われる。メモリセルMC11が選択されると、書き込み回路WCが共通データ線I/Oを駆動することにより、書き込み電流IWCが発生される。0'書き込みの場合、図4に示した範囲の値に設定されたりセット電流がメモリセルMC11に印加される。リセット電流のパルス幅は短く、駆動後は直ちに待機状態に戻って、電流値が0となる。このようなりセット電流により、図3に示したようなりセットパルスと同じジュール熱が発生される。反対に、1'書き込みの場合、図4に示した範囲の値に設定され

たセット電流が印加される。このパルス幅は約50nsである。このようなセット電流により、図3に示したようなセットパルスと同じジュール熱が発生される。このように、書き込みパルスの印加時間と電流値は書き込み回路WCで制御されるので、どちらの記憶情報を書き込む場合においても、メモリセルはセット電流のパルス幅だけ選択状態にある。

【0031】

(メモリセル構造)

次に、メモリアレイの構造の例を説明する。この構造の特徴は、ワード線とデータ線及びソース線に対し、MOSトランジスタの活性領域を傾けて配置していることである。ソース線を第一金属層、データ線を第二金属層で配線し、データ線に対応してソース線を設けたメモリセル構造を実現している。

【0032】

図7に、レイアウトを示す。同図で、FLは活性領域パターン、FMはソース線SLや電源給電線などの第一金属層パターン、SMはデータ線DL用の第二金属層パターン、TMはカラム選択線YS用の第三金属層パターン、FGはシリコン基板上に形成されたトランジスタの第一ゲート電極パターン、FCTは第一金属層コンタクトパターン、SCTは第二金属層コンタクトパターン、TCTは第三金属層コンタクトパターン、WBFは記憶素子の上部電極層である。これらのパターンのパターンニングには、周知の光リソグラフィを用いることができる。なお、同図では、各上部電極層WBFの下に記憶素子が形成されている。また、パターン名の後の括弧内に対応するノード名を示しているので、例えば、メモリセルMC1mは、ワード線WL1とデータ線DLmおよびソース線SLmとの交点に示した位置に配置されることは、容易に理解できる。

【0033】

図8は、メモリアレイをデータ線に垂直方向から見た断面を模式的に示した図である。100はP型半導体基板、101はP型半導体基板内に埋め込まれた素子分離用の絶縁物、102は図7中の活性領域パターンFLにおけるN型拡散層領域、103は基板上に形成されたトランジスタのゲート酸化膜、104は基板上に形成されたトランジスタのゲート電極、105は基板上に形成されたトランジスタに絶縁膜で形成

されたサイドウォールある。また、200はソース線SLや電源給電線などに用いられる第一金属層である。また、201はデータ線DLなどに用いられる第二金属層、202はカラム選択線YSに用いられる第三金属層、203は層間絶縁膜、204はN型拡散層領域102と第一金属層とを接続するコンタクト、205は第一金属層と第二金属層とを接続するコンタクトである。さらに、208は記憶素子RMの下部発熱材であるTi-Al-N層、304はW80Ti20上部電極、305は記憶素子RMとなるカルコゲナイド材料膜、306は下部発熱材208とN型拡散層領域102とを接続するコンタクトである。上部電極もカルコゲナイド材料膜からの熱の逃げが大きくなりすぎてリセット電流が大きくならないようにカルコゲナイド材料膜よりも面積を小さくしてある。ここで、図8では、アレイ端からデータ線DLmとソース線SLmを見たものとして層名の後の括弧内にノード名を示している。例えば、図8中の104で示されたゲート電極のノード名によって、選択トランジスタおよびプリチャージ用トランジスタQCm、QDmの配置が容易に理解できる。

【0034】

金属層とコンタクトは、上層部を形成する際の熱処理による電気特性の劣化と、多数回書換え時のカルコゲナイド材料と電極との化学反応や相互拡散を防ぐために、例えば融点の高いタングステンまたはその合金、たとえばW80Ti20で形成される。また、コンタクトは、サイドウォール107の隙間を埋め込むように形成される。この加工技術は、従来のDRAMで広く用いられている自己整合プロセスと呼ばれるものである。

【0035】

本実施例による記憶素子は、図8に示したような絶縁膜305を用いて、カルコゲナイド材料304と下部発熱材208との接触面積を小さくしているので、抵抗値が大きい。このため、小さな電流で高いジュール熱を発生することができるので、低電力の書き込み動作が可能な相変化メモリを実現することができる。また、図7に示したレイアウトにより、ワード線を最小ピッチの2F（Fは最小加工寸法）、データ線を、ワード線の1.5倍の3Fピッチでそれぞれ配置できるので、Fの2乗の6倍の相変化メモリセルを実現することができる。

【0036】

以上で述べたメモリアレイおよびメモリセルの構成と動作による効果を、以下にまとめる。第一に、本実施例によるメモリアレイは、図1に示したようにデータ線DLに平行なソース線SLが設けられ、メモリセル内の選択トランジスタQMのソースが対応するソース線SLに接続された構成とすることにより、読み出し動作における消費電力を低減することができる。具体的には、データ線DLおよびソース線SLに選択トランジスタQA、QBがそれぞれ配置され、さらにプリチャージ用トランジスタQC、QDがそれぞれ配置される。このような構成において、選択したデータ線に対応するソース線をソース電圧VSLに駆動することができる。このため、選択ワードと選択ソース線の交点のセルにのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することができる。したがって、非選択データ線の充放電を抑制することにより、例えば相変化メモリやMRAMの読み出し動作における消費電力を低減することができる。なお、相変化メモリに本発明を適用した場合、書き込み動作においても読み出し動作と同様の選択動作が行われるので、全体として低電力の相変化メモリを実現することができる。

【0037】

また、本実施例によるメモリアレイは、第一の効果で述べたような選択動作により非選択データ線の電位が保たれるので、データ線間の容量カップリングによるノイズが小さく、安定した読み出し信号を発生することができる。したがって、読み出し動作の安定した相変化メモリを実現することができる。

【0038】

(縦型トランジスタを用いたメモリセル構造)

次に、メモリアレイの構造の別な例を説明する。この構造の特徴は、図1に示したサブアレイ内の選択トランジスタQMとして、縦型構造のMOSトランジスタを用いていることである。

【0039】

図9に、レイアウトを示す。図7と同様に、FLは活性領域パターン、FMはソース線SLなどの第一金属層パターン、SMはデータ線DL用の第二金属層パターン、TMはカラム選択線YS用の第三金属層パターン、FGはシリコン基板上に形成されたトランジスタの第一ゲート電極パターン、SGはワード線WLすなわち縦型トランジス

タの第二ゲート電極パターン、FCTは第一金属層コンタクトパターン、SCTは第二金属層コンタクトパターン、TCTは第三金属層コンタクトパターンである。ここで、第二ゲート電極パターンSGと第二金属層パターンSMの交差している領域に縦型トランジスタとカルコゲナイドが積層されて、メモリセルが作られている。これらのパターンのパターンニングには、周知の光リソグラフィを用いることができる。なお、同図では、A-A'線がデータ線DL_m上に、B-B'線がデータ線WL₁上に示されているものとしてパターン名の後の括弧内に対応するノード名を示している。例えば、メモリセルMC1_mは、ワード線WL₁とデータ線DL_mとの交点に示した位置に配置されることは、容易に理解できる。

【 0 0 4 0 】

図 1 0 は、図 9 に示したA-A'線に沿った部分の断面（以下、A-A'断面と呼ぶ）を示している。同様に、図 1 1 は、図 9 に示したB-B'線に沿った部分の断面（以下、B-B'断面と呼ぶ）を示している。これらの図では、100はP型半導体基板、101はP型半導体基板内に埋め込まれた素子分離用の絶縁物、102は図 9 中の活性領域パターンFLにおけるN型拡散層領域、103は基板上に形成されたトランジスタのゲート酸化膜、104は基板上に形成されたトランジスタのゲート電極、105は基板上に形成されたトランジスタに絶縁膜で形成されたサイドウォールある。また、200はソース線SLや電源給電線、共通データ線I/Oなどに用いられる第一金属層、201はデータ線DLなどに用いられる第二金属層、202はカラム選択線YSに用いられる第三金属層、203は層間絶縁膜、204はN型拡散層領域102と第一金属層とを接続するコンタクト、205は第一金属層と第二金属層とを接続するコンタクト、206は第二金属層と第三金属層とを接続するコンタクト、207は第一金属層と基板上に形成されたトランジスタのゲート電極104とを接続するコンタクト、208はZ n T eよりなる抵抗発熱層である。Z n T eに10原子%以下の他の元素3から5族元素を添加した材料でも良い。さらに、301は縦型トランジスタPMのソース電極となるN型ポリシリコン、302は縦型トランジスタPMのチャネルとなる不純物が添加されていない真性ポリシリコン、303は縦型トランジスタPMのドレイン電極となるN型ポリシリコン、305は記憶素子RMとなるカルコゲナイド材料、304は上部電極、306は縦型トランジスタの側壁に形成されたゲート酸化膜、307は縦型トラ

ンジスタのゲート電極すなわちワード線WL、308はデータ線DLとワード線WLとの間に形成された層間絶縁膜、309は側壁酸化膜である。

【0041】

記憶用カルコゲナイド材料とどちらか一方の電極との間、あるいは抵抗発熱材層との間に薄く酸化物、窒化物、硫化物、炭化物などの誘電体の層、あるいはこれら誘電体とカルコゲナイド材料との混合膜を形成すると、最初の低抵抗状態へのセット時にその領域の誘電体中にカルコゲナイドのフィラメント状領域が形成されて細い導電パスとなり、そこだけに電流が流れ、相変化するので高い抵抗値、低い動作電流値を得ることができる。好ましい誘電体材料は酸化ゲルマニウム、窒化ゲルマニウム、酸化シリコン、窒化シリコン、窒化アルミニウム、窒化チタン、酸化アルミニウム、酸化チタン、酸化クロム、酸化タンタル、酸化モリブデン、炭化シリコン、硫化亜鉛を主成分（60%以上含有）とする材料、あるいはこれらの混合材料である。この混合膜領域はどちらかの電極に接しているのが好ましく、プラスイオンによりフィラメントが形成されることからマイナス電極に接して設けられるのがメモリー動作の安定性の点で最も好ましいが、両電極に接しない状態でも動作可能である。誘電体材料とカルコゲナイドとの混合層とする場合は、カルコゲナイドの含有量を60モル%以下としないと高抵抗化効果が見られなかった。本実施例ではTa₂O₅を70%と記録層の材料30%の混合物の、厚さ5nmの膜を設けた。膜厚は2nmから25nmの範囲で抵抗比を1桁以上に保って2倍以上の抵抗上昇を確保することができた。ただし、膜厚が薄ければ元々誘電体層にピンホールが有ってカルコゲナイド材料が入り込むので問題無いが、膜厚15nm以上では最初に安定動作電圧より1.5倍以上高い電圧をかけて絶縁破壊を起こさせ、フィラメント形成させる必要がある。このようなフィラメント状領域が常時形成された層を設ける方法、およびその効果は本発明の記録層材料組成の範囲外の、例えばGe₂Sb₂Te₅記録層を用いた場合にも共通であるが、Ge₂Sb₂Te₅記録層より抵抗値が高い本発明の記録層と組み合わせれば、さらに高抵抗、低電流化の効果が有った。リセット（非晶質化）電流は80マイクロアンペアとなった。

【0042】

ここで、図10および図11では、図9と同様に、A-A'線がデータ線DL_m上に、B-B'線がデータ線WL₁上に示されているものとして層名の後の括弧内にノード名を示している。例えば、図10中の104で示されたゲート電極のノード名によって、トランジスタQ_{am}、Q_{Bm}、Q_{Cm}、Q_{Dm}のゲート電極の配置が容易に理解できる。

【0043】

このように縦型トランジスタを用いることにより、ワード線とデータ線の各交点に形成された所謂クロスポイントセルにできる。すなわち、ワード線とデータ線を最小加工寸法Fで加工すると、メモリセルの面積が、Fの2乗の4倍となる。したがって、集積度の高い、大容量の相変化メモリを実現することができる。

【0044】

ここで用いている縦型トランジスタは、オフ状態では、チャネル領域である真性ポリシリコン302が完全に空乏化し、いわゆる完全空乏型SOI (Silicon On Insulator) トランジスタとして動作する。そのため、基板上のMOSトランジスタに比べて、しきい値電圧の調整が困難である。図5に示した読み出し動作に関連して説明したように、選択状態のソース線の電位に対して待機状態のワード線の電位を低くした電圧設定は、この縦型トランジスタのしきい値電圧が低くて良いため、好適である。

【0045】

以上、1個のカルコゲナイド材料による記憶素子と1個のトランジスタとで構成されるメモリセルを有する相変化メモリについて主に説明してきた。しかし、メモリセルの構成は、これに限定されない。

【0046】

本実施例の素子は100万回以上の書き換えが可能で、高い歩留まりで製作できる。

【0047】

本実施例の素子の諸特性のカルコゲナイド記録層材料依存性は下記のとおりであった。Znの好ましい含有量範囲は20原子%以上50原子%以下であって、これより少ないと連続動作可能な上限温度は140度未満となり、高温動作を要

求される用途での実用が困難である。これより多いと耐酸化性が低下して素子製作工程で記録層が損傷または剥離してしまい、最終工程まで通すことができなかった。特に好ましい範囲は25原子%以上35原子%以下であった。この範囲内でGeまたはSbの含有量が25原子%以上35原子%以下の範囲では、プロセス上問題無く、かつ140℃以上で動作可能であった。Zn以外に、他の2b族、1b族、3aから7a族、および8族元素から選ばれた少なくとも一元素を含んでも素子特性は良好であった。しかし高い結晶化温度を得るという点では、Znがもっとも好ましく、次いでCdが好ましかった。GeまたはSbの好ましい含有量範囲は、40原子%以下であった。40原子%を越えると融点が低下すると同時に相変化による体積変化が許容値を越え、書き換え10万回以下で剥離が発生した。より好ましい範囲は25原子%以上35原子%以下であった。Geの場合、これより少ないとスパッタリング時にターゲットから微粒子が落下して歩留まりが50%以下となった。これより多いと融点、結晶化温度ともに低下し、連続動作可能な上限温度は130度未満となり、実用が困難である。Sbの場合、25原子%以下では耐酸化性が不足してプロセスの歩留まりが50%以下となるので25%以上が好ましいが、ターゲット微粒子が落下するのを防ぐ効果はあまり無いのでスパッタup方式でスパッタできる場合には問題無いが、スパッタdown方式では問題がある。Teの含有量が40原子%未満であると非晶質化が困難となり、書き換え10回以下で変化しなくなった。以上述べた以外に、In, Si, Sn, Bi, Pb, Se, N, O, Hや、Au, Ag, Tiなどの遷移金属元素を10原子%以下含んでも良い。In, Sn, Bi, Pbは、3原子%以上添加すると結晶化速度30%以上向上の効果があった。SiとSeは製造プロセス中の酸化の防止に効果が有った。

【0048】

上記GeとSbは両方含まれても良い。その場合は両元素の含有量の和がそれぞれ単独で含まれる場合の好ましい含有量範囲にあるのが好ましい。Ge:Sbの比が1:2から2:1の範囲であれば両者の特長を持たせることができる。

【0049】

下部のコンタクト（プラグ）の上部の発熱材は、TiAlNの代わりに上記記

録層材料より Zn または Cd の含有量が 10 原子% 以上多い融点が 1000℃ 以上の同様な材料を用いると、この部分のジュール発熱によって記録層下部を補助加熱することができ、W コンタクトの場合に比べてリセット電流の約 30% の低減と良好な多数回書き換え特性が得られた。

【0050】

カルコゲナイド記録層に隣接して、TiAlN 等の遷移金属の窒化物や酸化物等のバリア膜や、記録層材料より Zn または Cd の含有量が 10 原子% 以上多い融点が 1000℃ 以上の同様な材料の膜、W80Ti20 などの金属導電膜、あるいはこれらの積層膜を堆積すれば、書き換え可能回数が増大する利点がある。あるいは、カルコゲナイドの相状態を変えるのに必要な熱の拡散を抑制する目的で、例えば、ITO (インジウムとスズの酸化物の混合物) のような熱伝導率の悪い導電膜を間に挟むことも、勿論可能である。

【0051】

上記実施例によれば、抵抗値が高いので高抵抗のトランジスタなどとも組合すことができ、リセット電流を小さくすることもできる。光透過率が高いので光照射と電圧印加による多層メモリも可能である。プロセス上も、スパッタリングターゲット表面の凹凸を抑制でき、製造歩留まりを向上させられる。記録層下部のプラグにも類似の材料を用いれば書き換え可能回数の向上やリセット電流の低減に効果がある。

【0052】

<実施例 2>

本実施例では、メモリ素子のアドレス指定を電氣的だけでなく、光も利用して行う。素子は基板の面に垂直方向に 4 層積層して面積あたりの素子数を多くした。この場合、Zn や Cd の 2 族元素を含む記録層は光学的バンドギャップが広く、有利である。例えば Zn₂₅Ge₂₅Te₅₀ 記録層を用いた。

【0053】

図 12 に示したように、波長 660 nm の半導体レーザー 91 の光 93 を、EMS 技術の一つである、シリコン単結晶から形成した 16 μm 角の 500 個 × 500 個の反射鏡アレー 97 にガイドミラーによって導く。反射鏡アレーの個々

のミラーは、面内で20個×20個で4層になったメモリー素子群を担当し、1軸のまわりに±15度回転できる。各ミラーにはメモリー素子群側に円筒レンズが形成されていて、幅0.5 μm 、長さ16 μm の細長い光スポットを形成する。ミラーの角度変化によって図の上下方向の当該ミラーが担当する32行の素子群のうちの1行に光が当たるようにする。各素子は部分拡大図のように4層になっており、各層はカルコゲナイド記録層をITO透明電極で挟んだ構造で、層間には厚さ50 nmのSiO₂断熱層を形成した。各層の素子の片側の透明電極は、1個のミラーにつき16本の上下方向に長い短冊形に分割されており、図の左右方向のアドレス指定は電極の選択により行う。垂直方向の層選択は、透明電極対を選んで電圧印加することによって行う。このようにすることによって4層にしてもデバイス構造は簡単になり、低価格化できる。それにより、ミラーアレーとメモリーアレーの位置合わせを精度良くおこなえるようにすれば、メモリーアレーを装置から取り外して交換することもメリットが有る。各ミラーは、その下部のトランジスタアレーにより、静電力または電磁力により駆動される。

【0054】

レーザー光照射によりメモリー素子内にフォトキャリアが発生し、それが電界で加速されてキャリア増倍が起こり、光と電圧の両方が与えられた素子だけで記録や抵抗値による読み出しが行える。読み出しは記録の約1/5の光強度で行った。

【0055】

本実施例の場合、各層のメモリー素子の光透過率は30%以上であることは必須であって、実際には50%以上に設計した。

【0056】

本実施例の場合も好ましい記録層組成の範囲は実施例1と同様であった。本実施例の場合は記録層の透過率が高いことが重要であり、Zn50Te50の組成がその点では望ましいが、実施例1で述べたプロセスや相変化上の条件があり、好ましい組成範囲、より好ましい組成範囲は実施例1と同様である。

【0057】

レーザー光源に、例えばアレーレーザーを用いた場合、複数のミラーに同時に

レーザー光を送ってデータ転送速度を4倍近く高速化することができる。

【0058】

反射鏡アレーは、大容量が要求される用途では1500×1500程度まで数を増すことができる。

【0059】

上記実施例により、簡単な装置構成で大きな記憶容量を得ることができる。

【非特許文献1】IEEE International Electron Devices meeting, TECHNICAL DIGEST, pp.803-806, 2001

【0060】

【発明の効果】

本発明によれば、相変化材料を利用したメモリにおいて、高い耐熱性が得られる。本願の材料を用いたメモリ素子は高温動作可能であるので、自動車車載用など、周囲温度が上昇しやすい用途に十分使用することができる。

【図面の簡単な説明】

【図1】

本発明による記憶情報に応じ抵抗が変化する1個の記憶素子と1個の選択トランジスタで構成されるメモリセルを用いたメモリアレイの構成例を示す図。

【図2】

記憶情報に応じ抵抗が変化する1個の記憶素子と1個の選択トランジスタで構成されるメモリセルを用いたメモリアレイ構成の従来例を示す図。

【図3】

記憶素子の相変化に必要なパルス幅と温度との関係を示す図。

【図4】

記憶素子の電流－電圧特性を示す図。

【図5】

本発明のメモリアレイの読み出し動作タイミングを示す図。

【図6】

本発明のメモリアレイの書き込み動作タイミングを示す図。

【図7】

本発明のメモリアレイのレイアウトを示す図。

【図 8】

図 7 のレイアウト図中に示したメモリアレイの構造を模式的に示す断面図。

【図 9】

本発明のメモリアレイの別なレイアウトを示す図。

【図 1 0】

図 9 のレイアウト図中に示したA-A'線に沿った部分の構造を示す断面図。

【図 1 1】

図 9 のレイアウト図中に示したB-B'線に沿った部分の構造を示す断面図。

【図 1 2】

ミラーアレーと組み合わせて用いる多層メモリー素子アレーの構造を示す図。

【図 1 3】

G e 2 5 T e 7 5 に Z n を添加した時の固相部分の融点の変化を示す図。

【図 1 4】

G e 2 5 T e 7 5 に Z n を添加した時の記憶素子の動作上限温度の変化を示す図。

【符号の説明】

RM…記憶素子、

QM…選択トランジスタ、

MCpr (p=0、1、…、n、r=0、1、…、m) …メモリセル、

QAr (r=0、1、…、m) , QBr (r=0、1、…、m) , QCr (r=0、1、…、m) , QDr (r=0、1、…、m) …NMOSトランジスタ、

DLr (r=0、1、…、m) …データ線、

SLr (r=0、1、…、m) …ソース線、

YSr (r=0、1、…、m) …カラム選択線、

Wlp (p=0、1、…、n) …ワード線、I/O…共通データ線、

PC…プリチャージイネーブル信号、

RC…読み出し回路、WC…書き込み回路、

XDEC…ロウデコーダ、YDEC…カラムデコーダ、

VDD…電源電圧、VSS…接地電圧、VDL…プリチャージ電圧、VSL…ソース電圧、VDH…昇圧電位、

IWC…書き込み電流、Ta…カルコゲナイド合金の融点、

Tx…結晶化温度、t1…冷却時間、t2…結晶化に要する時間、

FL…活性領域パターン、

FM…第一金属層パターン、SM…第二金属層パターン、TM…第三金属層パターン、

FG…シリコン基板上に形成されたトランジスタの第一ゲート電極パターン、SG…縦型トランジスタの第一ゲート電極パターン、

FCT…第一金属層コンタクトパターン、SCT…第二金属層コンタクトパターン、TCT…第三金属層コンタクトパターン、

WBF…記憶素子の下部電極層、

100…P型半導体基板、101…素子分離用の絶縁物、102…活性領域パターンFLにおけるN型拡散層領域、103…基板上に形成されたトランジスタのゲート酸化膜、104…基板上に形成されたトランジスタのゲート電極、105…基板上に形成されたトランジスタに絶縁膜で形成されたサイドウォール、

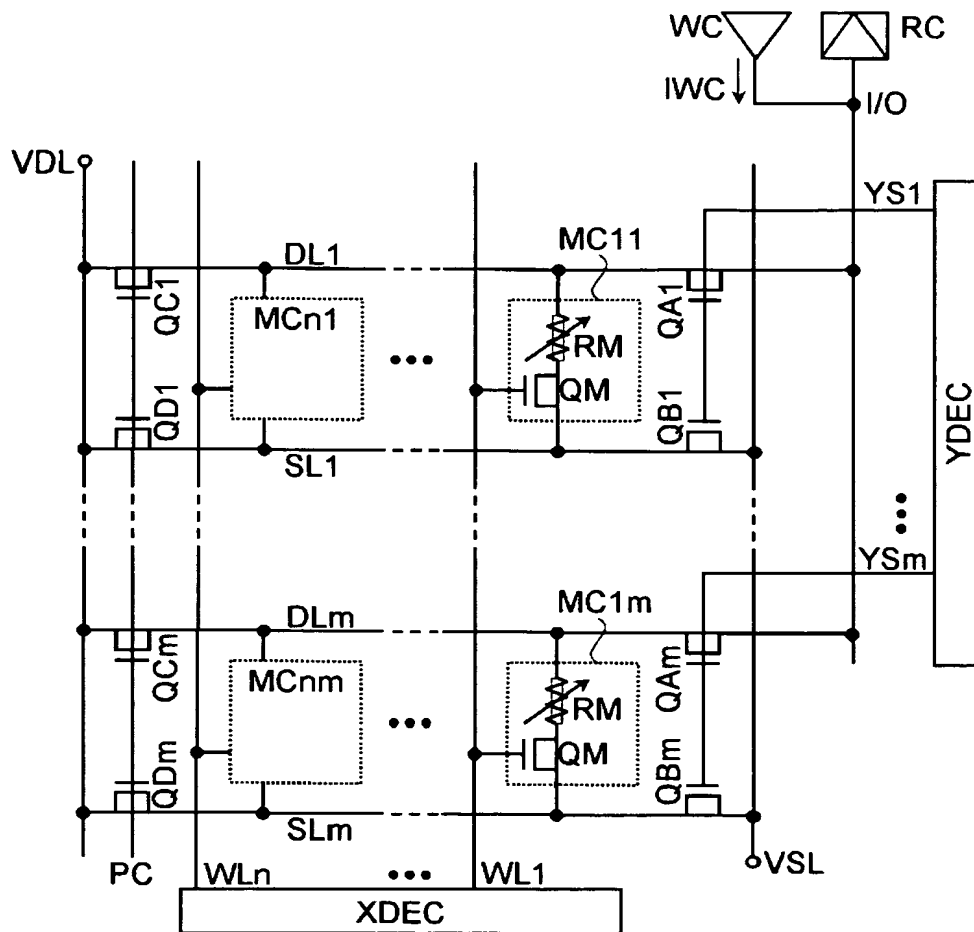
200…第一金属層、201…第二金属層、202…第三金属層、203…層間絶縁膜、204…N型拡散層領域102と第一金属層とを接続するコンタクト、205…第一金属層と第二金属層とを接続するコンタクト、206…第二金属層と第三金属層とを接続するコンタクト、207…第一金属層と基板上に形成されたトランジスタのゲート電極104とを接続するコンタクト、208…記憶素子RMの下部電極となるタンゲステン層、

301…縦型トランジスタPMのソース電極となるN型ポリシリコン、302…縦型トランジスタPMのチャンネルとなる不純物が添加されていない真性ポリシリコン、303…縦型トランジスタPMのドレイン電極となるN型ポリシリコン、304…記憶素子RMとなるカルコゲナイド材料、305…絶縁膜、306…下部電極208とN型拡散層領域102とを接続するコンタクト、307…縦型トランジスタのゲート電極すなわちワード線WL、308…データ線DLとワード線WLとの間に形成された層間絶縁膜、309…側壁酸化膜。

【書類名】 図面

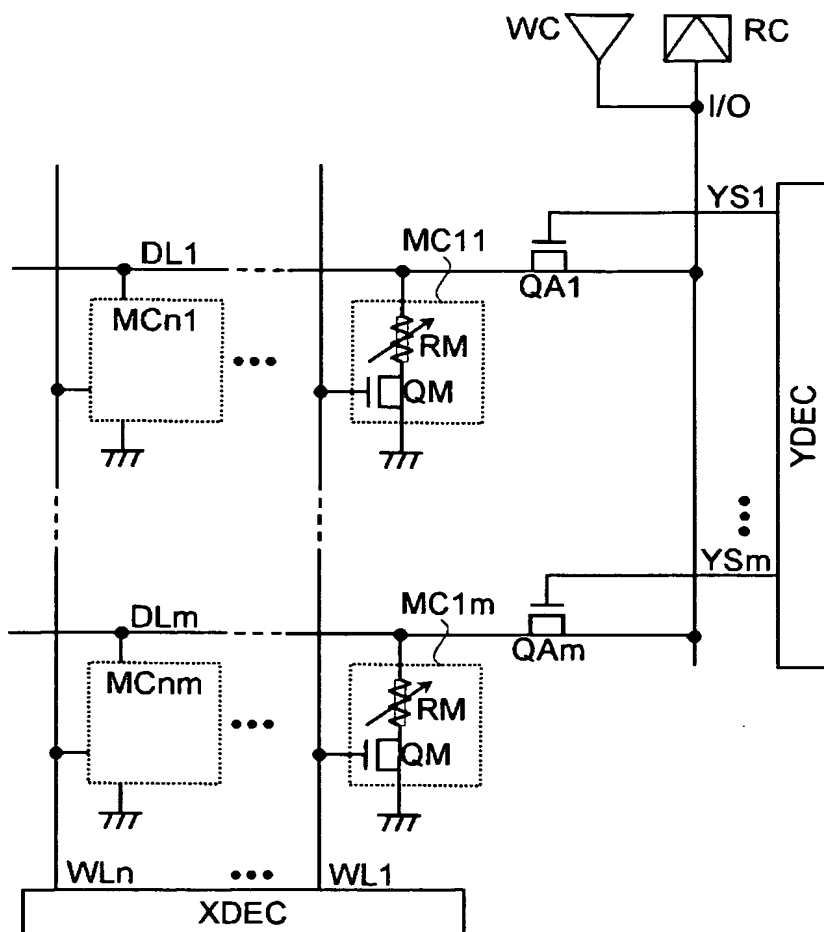
【図 1】

図 1



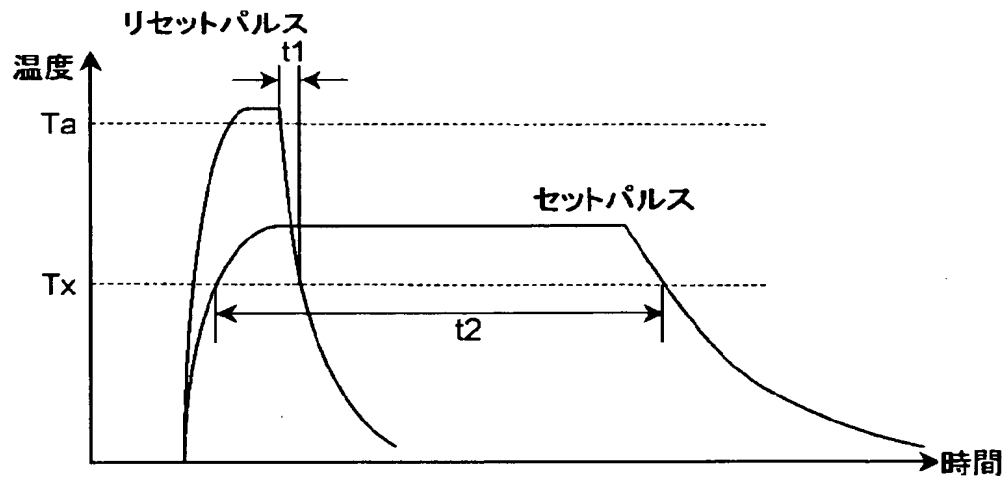
【図 2】

図2



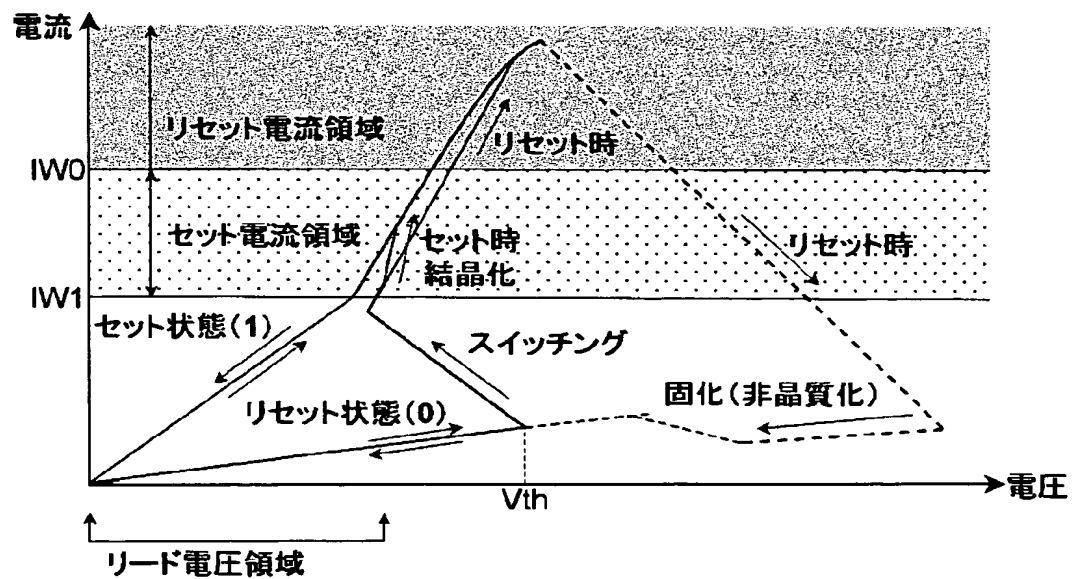
【図 3】

図3



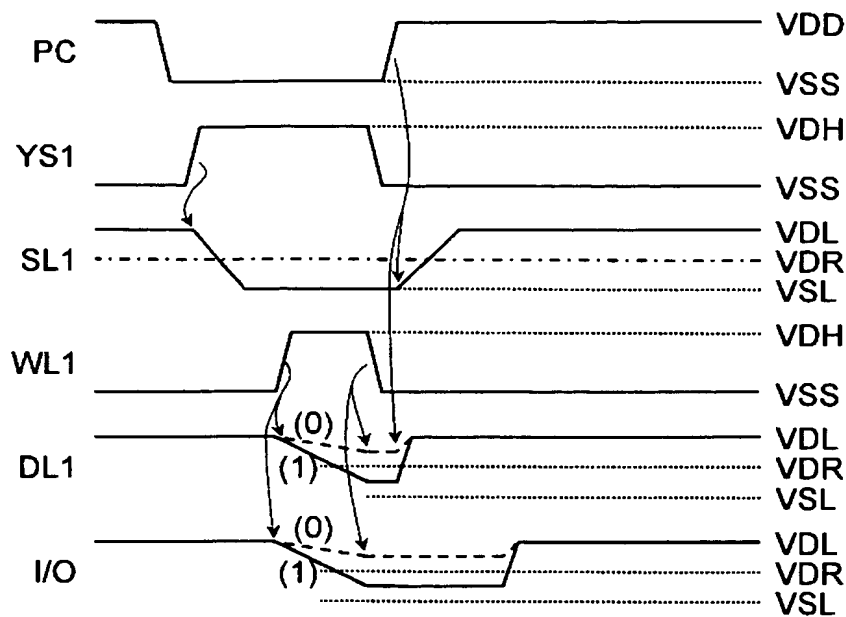
【図 4】

図4



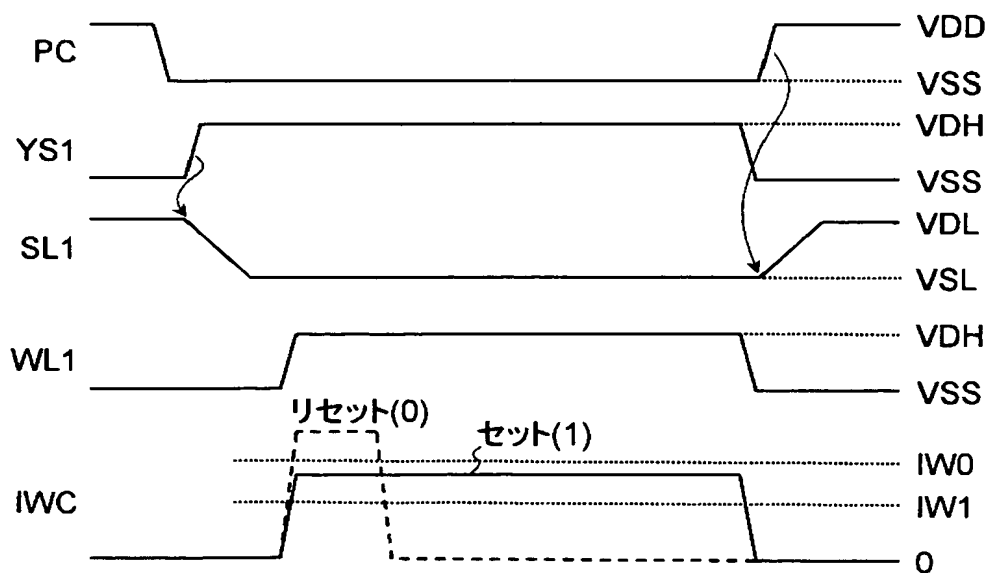
【図 5】

図5

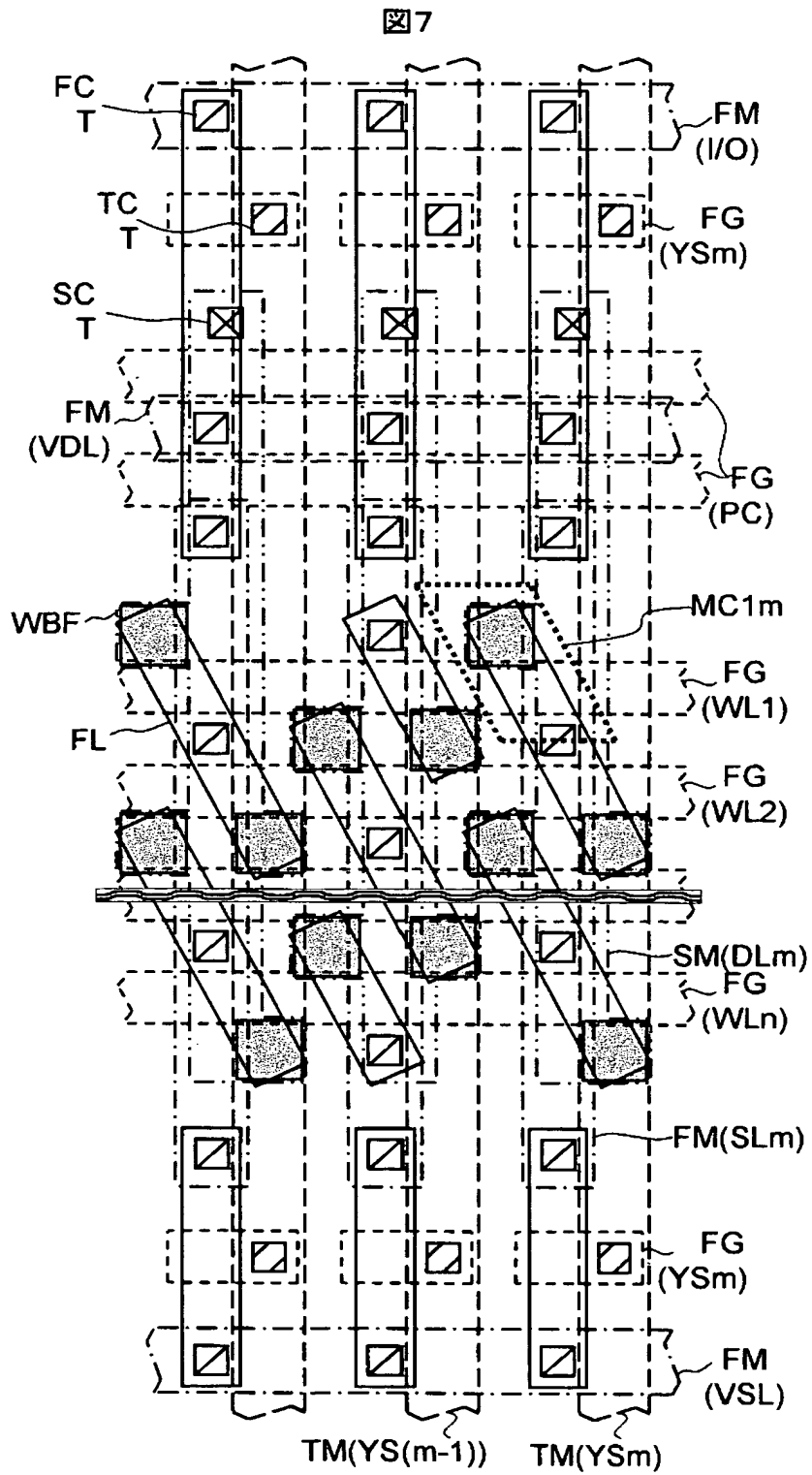


【図 6】

図6

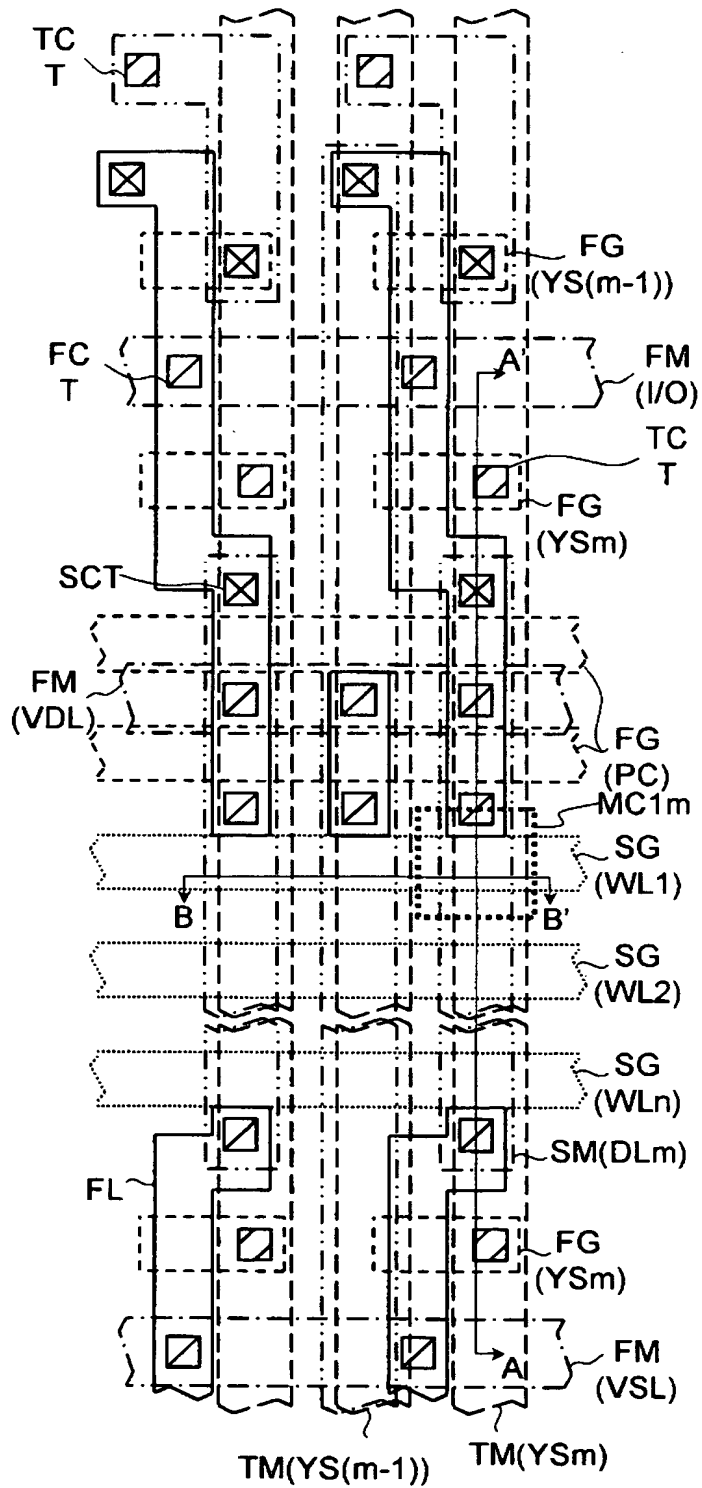


【図 7】

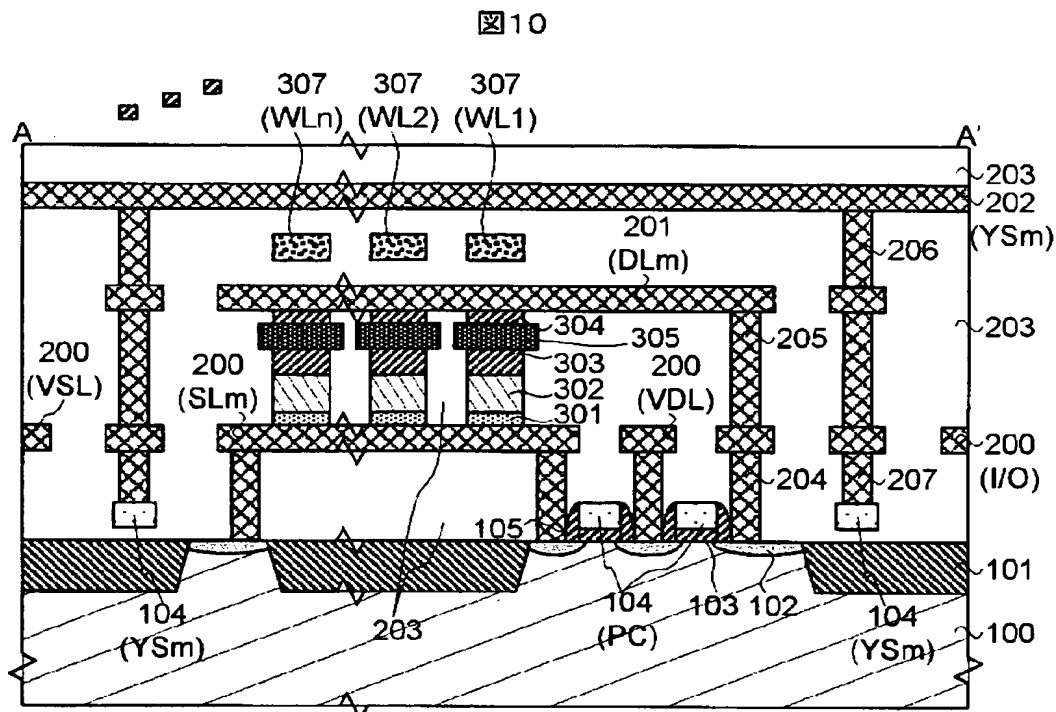


【図 9】

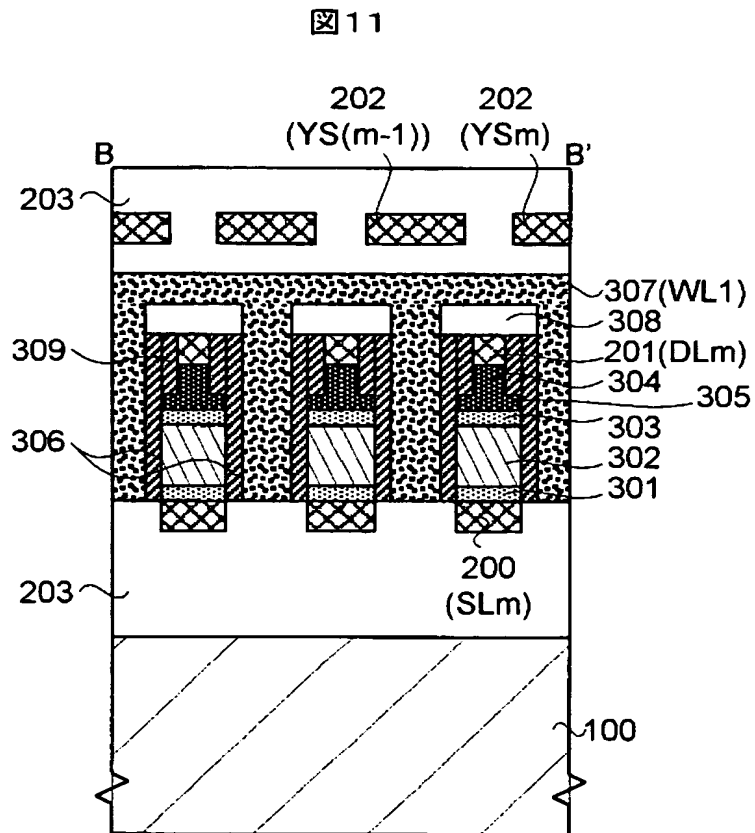
図9



【図 10】

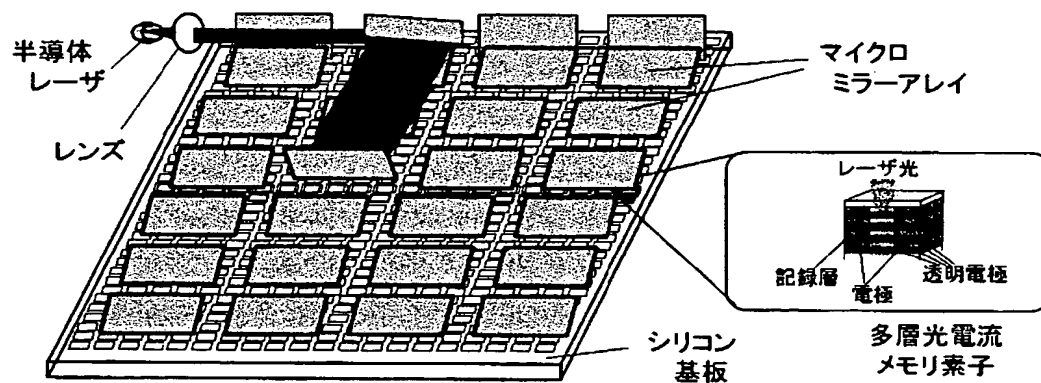


【図 11】



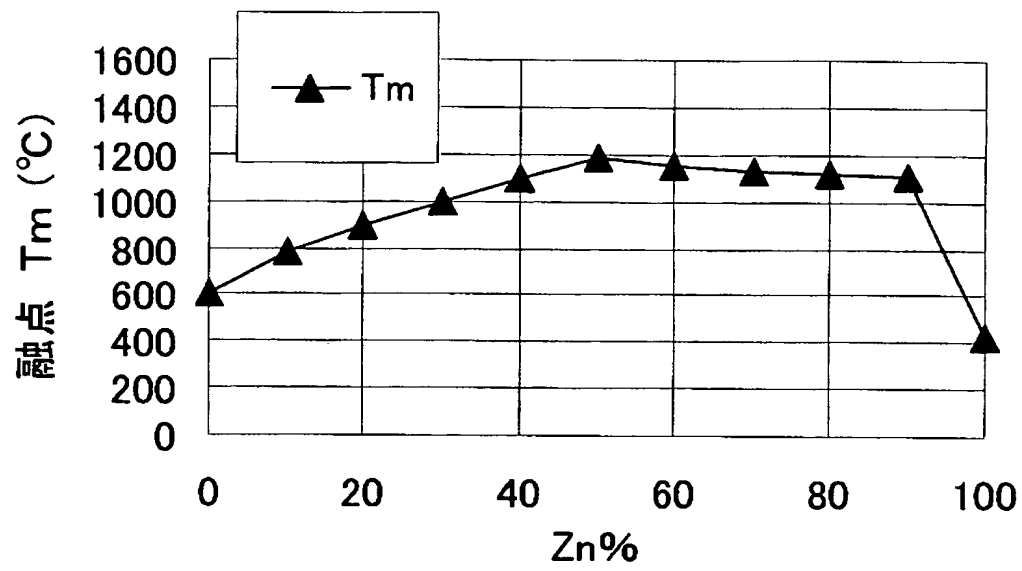
【図 12】

図 12



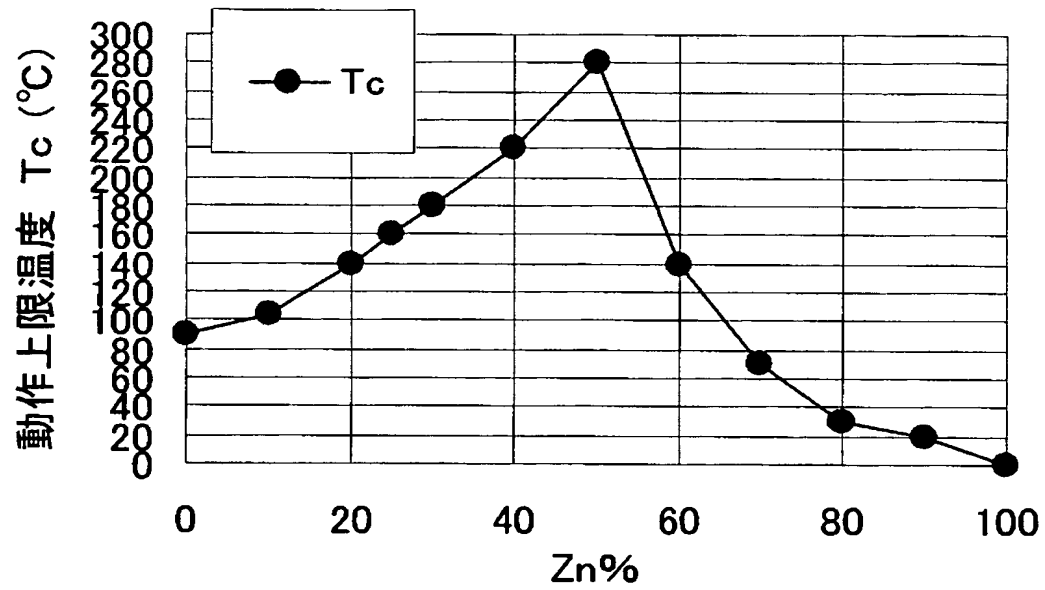
【図 13】

図 13



【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 メモリ素子と選択トランジスタとを用いたメモリセルで構成される相変化記憶装置において、130度以上で動作可能なように耐熱性を高めること。

【解決手段】 記録層にZn-Ge-TeのZnやCdなどの含有量が25原子%以上、Ge含有量が5原子%以上25原子%以下、Teの含有量が40原子%以上のものを用いる。

【効果】 車載などの高温になる可能性がある用途に使える記憶装置を実現することができる。

【選択図】 図8

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 1 7 2 4
受付番号	5 0 3 0 0 4 7 6 7 6 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 6 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月25日
-------	-------------

次頁無

特願 2 0 0 3 - 0 8 1 7 2 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所